

ADCMP561/ADCMP562

特長

- 差動のPECL互換出力
- 700psの入出力間伝播遅延
- 75psの伝播遅延分散
- 入力同相電圧範囲：-2.0~+3.0V
- 強化された入力保護
- 差動ラッチ信号によるコントロール
ラッチ・プルアップ抵抗を内蔵
- 85dB以上の電源変動除去比
- 700psの最小パルス幅
- 1.5GHzの入力立上がり時間等価帯域幅
- 500ps（代表値）の出力立上がり／立下がり時間
- プログラマブル・ヒステリシス

アプリケーション

- 自動テスト装置
- 高速計測器
- オシロスコープおよびロジック・アナライザ用フロントエンド
- ウィンドウ・コンパレータ
- 高速ライン・レシーバ
- スレッショールド検出
- ピーク検出回路
- 高速トリガー
- ディスク・ドライブ読出しチャンネル検出
- 携帯型テスト計測器
- ゼロ・クロス検出器
- ライン・レシーバおよび信号復帰
- クロック・ドライバ

概要

ADCMP561/ADCMP562は、アナログ・デバイセズ社独自に開発したXFCBプロセスで製造された高速コンパレータで、700psの伝播遅延と75ps以下のオーバードライブ伝播遅延分散特性を特長としています。異なるオーバードライブ条件下における伝播遅延の差の測定値である伝播遅延分散は、高速コンパレータでは特に重要な特性です。ADCMP562には、独立したプログラマブル・ヒステリシス・ピンが装備されています。

機能ブロック図

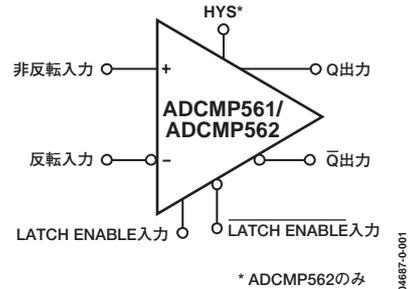


図1.

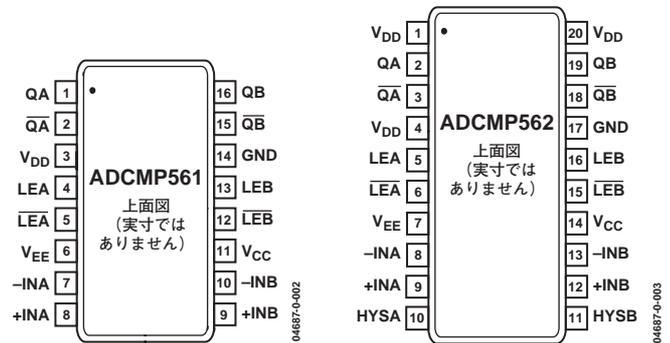


図2. ADCMP561, 16ピンQSOP

図3. ADCMP562, 20ピンQSOP

差動入力段が採用されているので、-2.0~+3.0Vの同相電圧範囲のさまざまな信号に対して整合性の高い伝播遅延を維持できます。出力は、PECL 10Kおよび10KHロジック・ファミリとの完全な互換性を備えたコンプリメンタリ・デジタル信号です。この出力は、50Ω終端の伝送ラインをVDD-2Vまで直接駆動する、非常に高い駆動電流を供給します。ラッチ入力に備わっているため、トラッキング、トラック/ホールド、またはサンプル/ホールドの各動作モードの実行が可能です。ラッチ入力ピンには、オープン状態のときにラッチをトラッキング・モードに設定するプルアップ抵抗が内蔵されています。

ADCMP561/ADCMP562の仕様は、工業用温度範囲（-40~+85℃）で規定されています。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。本紙記載の商標および登録商標は、各社の所有に属します。

*日本語データシートは、REVISIONが古い場合があります。最新の内容については英語版をご参照ください。
©2004 Analog Devices, Inc. All rights reserved.

ADCMP561/ADCMP562

目次

仕様	3	クロック・タイミング・リカバリ	11
絶対最大定格	5	高速性能の最適化	11
熱に関する留意事項	5	コンパレータの伝播遅延分散	11
ESDに対する注意	5	コンパレータのヒステリシス	12
ピン配置と機能の説明	6	最小入力スルーレート条件	12
代表的な性能特性	8	代表的なアプリケーション回路	13
タイミング情報	10	外形寸法	14
アプリケーション情報	11	オーダー・ガイド	14

改訂履歴

リビジョン0：初版

ADCMP561/ADCMP562

仕様

特に指定のない限り、 $V_{CC}=+5.0V$ 、 $V_{EE}=-5.2V$ 、 $V_{DD}=+3.3V$ 、 $T_A=-40\sim+85^{\circ}C$ 。代表値は $T_A=+25^{\circ}C$ 時です。

表1. ADCMP561/ADCMP562の電気的特性

パラメータ	記号	条件	Min	Typ	Max	単位
DC入力特性						
入力電圧範囲			-2.0		3.0	V
入力差動電圧			-5		+5	V
入力オフセット電圧	V_{OS}	$V_{CM}=0V$	-10.0	± 2.0	+10.0	mV
入力オフセット電圧のチャンネル間マッチング				± 2.0		mV
オフセット電圧温度係数	$\Delta V_{OS}/dT$			2.0		$\mu V/^{\circ}C$
入力バイアス電流	I_{IN}	$-IN=-2V$ 、 $+IN=+3V$	-10.0	± 3	+10.0	μA
入力バイアス電流温度係数				0.5		nA/ $^{\circ}C$
入力オフセット電流				± 1.0		μA
入力容量	C_{IN}			0.75		pF
差動入力抵抗値				750		k Ω
同相入力抵抗値				1800		k Ω
アクティブ・ゲイン	A_V			63		dB
同相ノイズ除去比	CMRR	$V_{CM}=-2.0\sim+3.0V$		80		dB
ヒステリシス		$R_{HYS}=\infty$ (オープン)		± 1.0		mV
ラッチ動作特性						
ラッチ・イネーブル電圧範囲			$V_{DD}-2.0$		V_{DD}	V
ラッチ・イネーブル差動電圧範囲			0.4		2.0	V
ラッチ・イネーブル入力ハイ電流		@ V_{DD}	-300		+300	μA
ラッチ・イネーブル入力ロー電流		@ $V_{DD}-2.0V$	-300		+300	μA
LE電圧、オープン		ラッチ入力非接続	$V_{DD}-0.2$	V_{DD}	$V_{DD}+0.1$	V
\overline{LE} 電圧、オープン		ラッチ入力非接続	$V_{DD}/2-0.2$	$V_{DD}/2$	$V_{DD}/2+0.2$	V
ラッチ・セットアップ時間	t_S	$V_{OD}=250mV$		250		ps
ラッチ・ホールド時間	t_H	$V_{OD}=250mV$		250		ps
ラッチから出力までの遅延時間	t_{PLOH} 、 t_{PLOL}	$V_{OD}=250mV$		600		ps
ラッチ最小パルス幅	t_{PL}	$V_{OD}=250mV$		500		ps
DC出力特性						
出力電圧—ハイ・レベル	V_{OH}	50Ω で $V_{DD}-2.0V$ に終端したPECL出力	$V_{DD}-1.15$		$V_{DD}-0.81$	V
出力電圧—ロー・レベル	V_{OL}	50Ω で $V_{DD}-2.0V$ に終端したPECL出力	$V_{DD}-1.95$		$V_{DD}-1.54$	V
立上がり時間	t_R	10~90%		550		ps
立下がり時間	t_F	10~90%		470		ps
AC性能						
伝播遅延	t_{PD}	$V_{OD}=1V$		700		ps
		$V_{OD}=20mV$		830		ps
伝播遅延温度係数	$\Delta t_{PD}/dT$	$V_{OD}=1V$		0.25		ps/ $^{\circ}C$
伝播遅延スキュー—立上がりと立下がりの差		$V_{OD}=1V$		50		ps
デバイス内部の伝播遅延スキュー— チャンネル間		$V_{OD}=1V$		50		ps
オーバードライブ分散		$20mV \leq V_{OD} \leq 100mV$		75		ps
オーバードライブ分散		$100mV \leq V_{OD} \leq 1.5V$		75		ps
スルーレート分散		$0.4V/ns \leq SR \leq 1.33V/ns$		50		ps
パルス幅分散		$700ps \leq PW \leq 10ns$		25		ps
デューティ・サイクル分散		33MHz、1V/ns、0.5V		15		ps
同相電圧分散		1V振幅、 $-1.5V \leq V_{CM} \leq +2.5V$		10		ps

注
分散とは、入力条件が変化した時の伝播遅延時間の変化幅です。

ADCMP561/ADCMP562

パラメータ	記号	条件	Min	Typ	Max	単位
AC性能 (続き)						
入力立上がり時間等価帯域幅 ¹	BW _{EQ}	0~1V振幅、2V/ns		1500		MHz
最大トグル・レート		> 50%の出力振幅		800		MHz
最小パルス幅	PW _{MIN}	$\Delta t_{PD} < 25ps$		700		ps
RMSランダム・ジッタ		V _{OD} =400mV、1.3V/ns、312MHz、 50%のデューティ・サイクル		1.0		ps
ユニット間伝播遅延スキュー				100		ps
電源						
正の電源電流	I _{VCC}	@+5.0V	2	3.2	5	mA
負の電源電流	I _{VEE}	@-5.2V	10	22	28	mA
ロジック電源電流	I _{VDD}	@3.3V、無負荷時	6	9	13	mA
ロジック電源電流		@3.3V、負荷時	45	60	70	mA
正の電源電圧	V _{CC}	デュアル	4.75	5.0	5.25	V
負の電源電圧	V _{EE}	デュアル	-4.96	-5.2	-5.45	V
ロジック電源電圧	V _{DD}	デュアル	2.5	3.3	5.0	V
消費電力	P _D	デュアル、無負荷時	130	160	190	mW
消費電力		デュアル、負荷時	180	220	250	mW
DC電源変動除去比—V _{CC}	PSRR _{VCC}			85		dB
DC電源変動除去比—V _{EE}	PSRR _{VEE}			85		dB
DC電源変動除去比—V _{DD}	PSRR _{VDD}			85		dB
ヒステリシス (ADCMP562のみ)						
ヒステリシス		R _{HYS} = 32.5k Ω		20		mV
		R _{HYS} = 14.5k Ω		70		mV

注

1. 入力立上がり時間等価帯域幅は、一次入力応答を想定しており、 $BW_{EQ} = 0.22\sqrt{(t_{rCOMP}^2 - t_{rIN}^2)}$ の式で計算しています。ここで、 t_{rIN} はコンパレータに適用される20/80%ポイント間の入力遷移時間を表し、 t_{rCOMP} はコンパレータ入力によってデジタル信号に変換されるときの実効遷移時間です。

絶対最大定格

表2

パラメータ	定格値
電源電圧	
正の電源電圧 (GNDに対するV _{CC})	-0.5 ~ +6.0V
負の電源電圧 (GNDに対するV _{EE})	-6.0 ~ +0.5V
ロジック電源電圧 (GNDに対するV _{DD})	-0.5 ~ +6.0V
グラウンド電位差	-0.5 ~ +0.5V
入力電圧	
入力同相電圧	-3.0 ~ +4.0V
差動入力電圧	-7.0 ~ +7.0V
入力電圧、ラッチ制御	-0.5 ~ +5.5V
出力	
出力電流	30mA
温度	
周囲動作温度範囲	-40 ~ +85°C
接合部動作温度	125°C
保存温度範囲	-65 ~ +150°C

絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定は、ストレス定格のみを指定するものであり、この仕様の動作に関するセクションに記載されている規定値以上のデバイス動作を定めたものではありません。長時間デバイスを絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

熱に関する留意事項

ADCMP561の16ピンQSOPパッケージ・オプションの θ_{JA} (接合部-周囲間の熱抵抗値)は、自然空冷の条件下で104°C/Wです。

ADCMP562の20ピンQSOPパッケージ・オプションの θ_{JA} (接合部-周囲間の熱抵抗値)は、自然空冷の条件下で80°C/Wです。

注意

ESD (静電放電) の影響を受けやすいデバイスです。人体や試験機器には4,000Vもの高圧の静電気が容易に蓄積され、検知されないまま放電されることがあります。本製品は当社独自のESD保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、回復不能の損傷を生じる可能性があります。したがって、性能劣下や機能低下を防止するため、ESDに対する適切な予防措置を講じることをお勧めします。



ADCMP561/ADCMP562

ピン配置と機能の説明



図4. ADCMP561、16ピンQSOPのピン配置

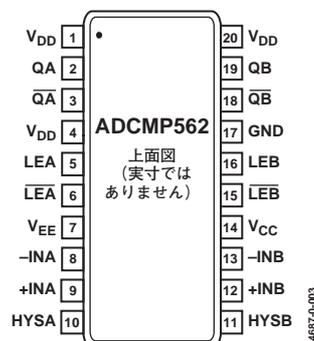


図5. ADCMP562、20ピンQSOPのピン配置

表3. ピン機能の説明

ピン番号		名称	機能
ADCMP561	ADCMP562		
	1	V _{DD}	ロジック電源ピン
1	2	QA	チャンネルAの2つのコンプリメンタリ出力のうちの1つです。非反転入力のアナログ電圧が反転入力のアナログ電圧よりも高くなると、QAがロジック・ハイのレベルになります (コンパレータが比較モードに入っている場合)。詳細は、LEAピンの説明を参照してください。
2	3	\overline{QA}	チャンネルAの2つのコンプリメンタリ出力のうちの1つです。非反転入力のアナログ電圧が反転入力のアナログ電圧よりも高くなると、 \overline{QA} がロジック・ローのレベルになります (コンパレータが比較モードに入っている場合)。詳細は、LEAピンの説明を参照してください。
3	4	V _{DD}	ロジック電源ピン
4	5	LEA	チャンネルAラッチ・イネーブルの2つのコンプリメンタリ入力うちの1つです。比較モード (ロジック・ハイ) 時に、出力はコンパレータの入力変動をトラッキングします。ラッチ・モード (ロジック・ロー) 時は、出力はコンパレータがラッチ・モードに設定される直前の入力状態を反映します。LEAと併せて \overline{LEA} を駆動する必要があります。無接続の状態にしておくと、コンパレータは比較モードにデフォルト設定されます。
5	6	\overline{LEA}	チャンネルAラッチ・イネーブルの2つのコンプリメンタリ入力うちの1つです。比較モード (ロジック・ロー) 時に、出力はコンパレータの入力変動をトラッキングします。ラッチ・モード (ロジック・ハイ) 時は、出力はコンパレータがラッチ・モードに設定される直前の入力状態を反映します。 \overline{LEA} と併せてLEAを駆動する必要があります。無接続の状態にしておくと、コンパレータは比較モードにデフォルト設定されます。
6	7	V _{EE}	負の電源ピン
7	8	-INA	チャンネルAの差動入力段の反転アナログ入力です。反転A入力は、非反転A入力と併せて駆動する必要があります。
8	9	+INA	チャンネルAの差動入力段の非反転アナログ入力です。非反転A入力は、反転A入力と併せて駆動する必要があります。
	10	HYSB	プログラマブル・ヒステリシス入力です。(チャンネルA用)
	11	HYSB	プログラマブル・ヒステリシス入力です。(チャンネルB用)
9	12	+INB	チャンネルBの差動入力段の非反転アナログ入力です。非反転B入力は、反転B入力と併せて駆動する必要があります。
10	13	-INB	チャンネルBの差動入力段の反転アナログ入力です。反転B入力は、非反転B入力と併せて駆動する必要があります。
11	14	V _{CC}	正の電源ピン
12	15	\overline{LEB}	チャンネルBラッチ・イネーブルの2つのコンプリメンタリ入力うちの1つです。比較モード (ロジック・ロー) 時に、出力はコンパレータの入力変動をトラッキングします。ラッチ・モード (ロジック・ハイ) 時は、出力はコンパレータがラッチ・モードに設定される直前の入力状態を反映します。 \overline{LEB} と併せてLEBを駆動する必要があります。無接続の状態にしておくと、コンパレータは比較モードにデフォルト設定されます。

ADCMP561/ADCMP562

ピン番号		名称	機能
ADCMP561	ADCMP562		
13	16	LEB	チャンネルBラッチ・イネーブルの2つのコンプリメンタリ入力のうちの1つです。比較モード（ロジック・ハイ）時に、出力はコンパレータの入力変動をトラッキングします。ラッチ・モード（ロジック・ロー）時は、出力はコンパレータがラッチ・モードに設定される直前の入力状態を反映します。LEBと併せて $\overline{\text{LEB}}$ を駆動する必要があります。無接続の状態にしておくと、コンパレータは比較モードにデフォルト設定されます。
14	17	GND	アナログ・グラウンド
15	18	$\overline{\text{QB}}$	チャンネルBの2つのコンプリメンタリ出力のうちの1つです。非反転入力のアナログ電圧が反転入力のアナログ電圧よりも高くなると、 $\overline{\text{QB}}$ がロジック・ローのレベルになります（コンパレータが比較モードに入っている場合）。詳細は、LEBピンの説明を参照してください。
16	19	QB	チャンネルBの2つのコンプリメンタリ出力のうちの1つです。非反転入力のアナログ電圧が反転入力のアナログ電圧よりも高くなると、QBがロジック・ハイのレベルになります（コンパレータが比較モードに入っている場合）。詳細は、LEBピンの説明を参照してください。
	20	V _{DD}	ロジック電源ピン

ADCMP561/ADCMP562

代表的な性能特性

特に指定のない限り、 $V_{CC}=+5.0V$ 、 $V_{EE}=-5.2V$ 、 $V_{DD}=+3.3V$ 、 $T_A=+25^{\circ}C$ 。

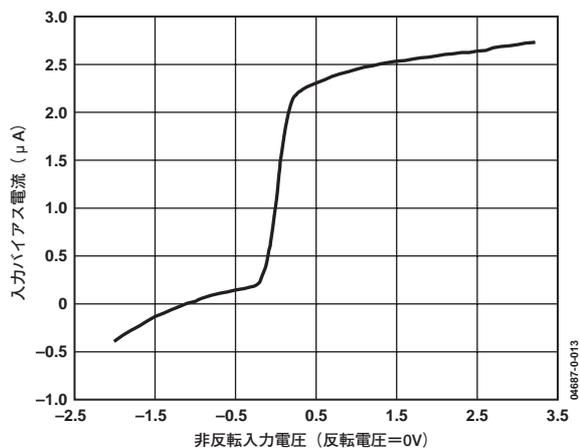


図6. 入力電圧対入力バイアス電流

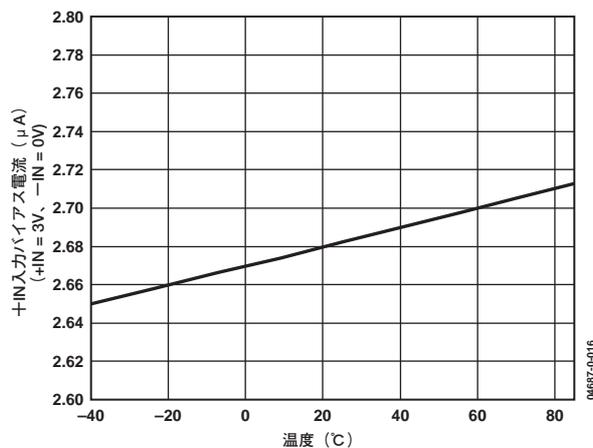


図9. 入力バイアス電流の温度特性

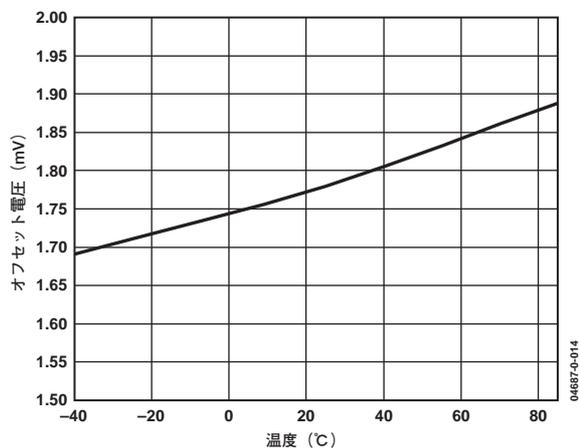


図7. 入力オフセット電圧の温度特性

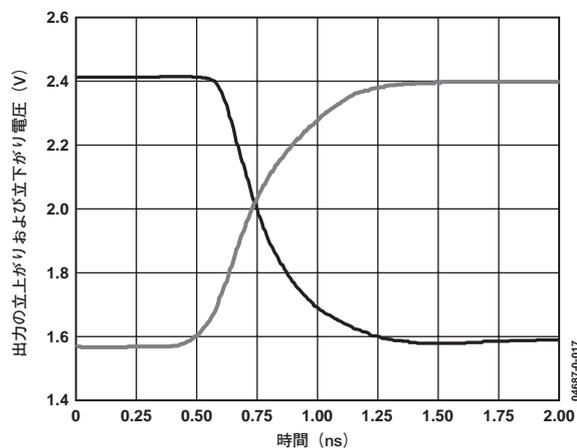


図10. 出力の立ち上がりおよび立下がり時間特性

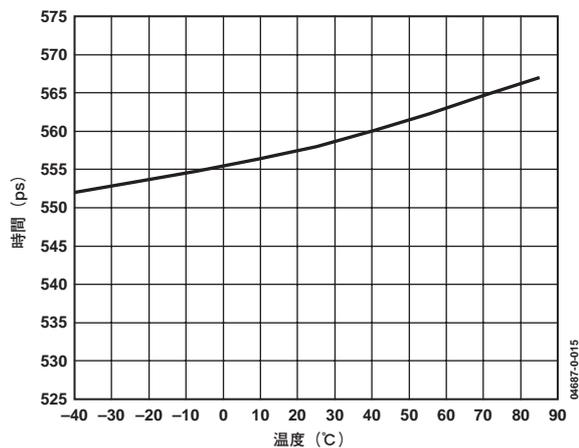


図8. 立ち上がり時間の温度特性

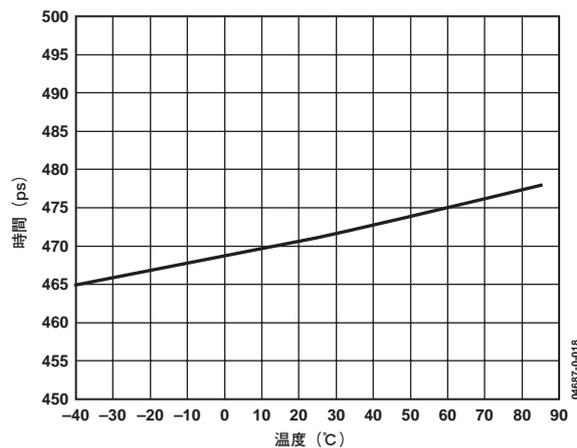


図11. 立下がり時間の温度特性

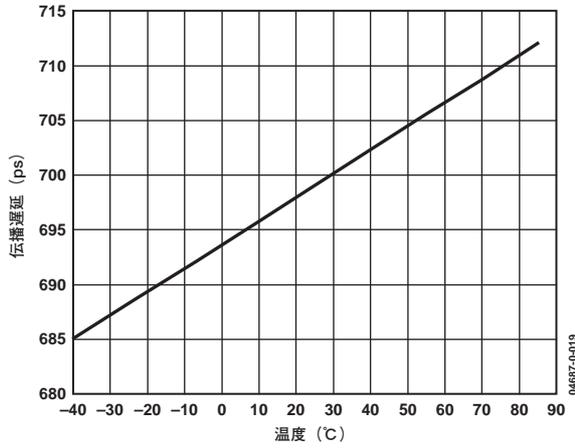


図12. 伝播遅延の温度特性

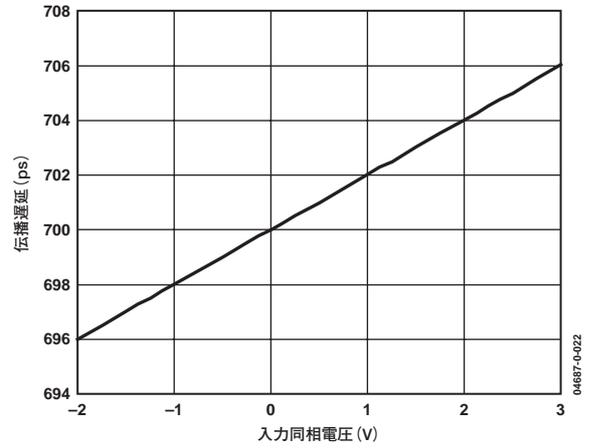


図15. 同相電圧対伝播遅延

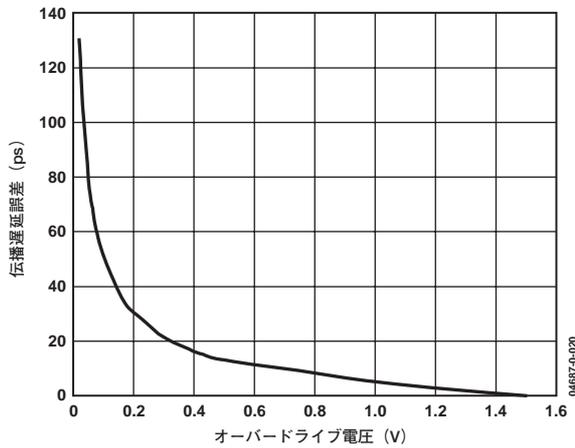


図13. オーバードライブ電圧対伝播遅延

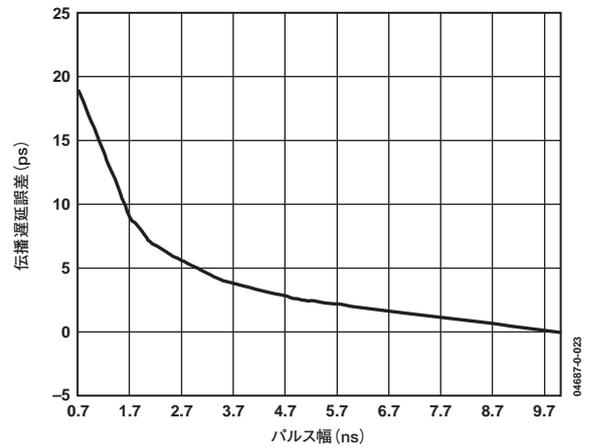


図16. パルス幅対伝播遅延誤差

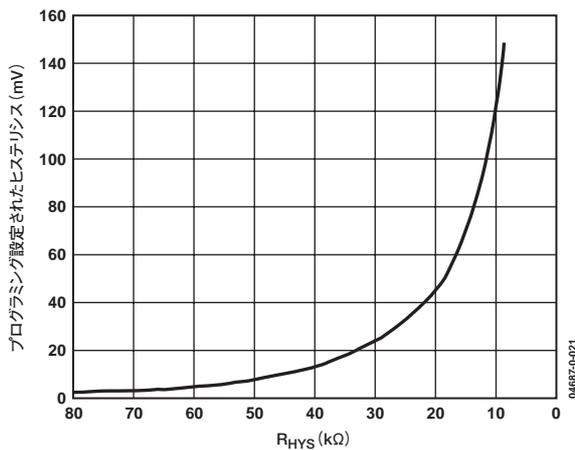


図14. R_{HYS}対コンパレータ・ヒステリシス

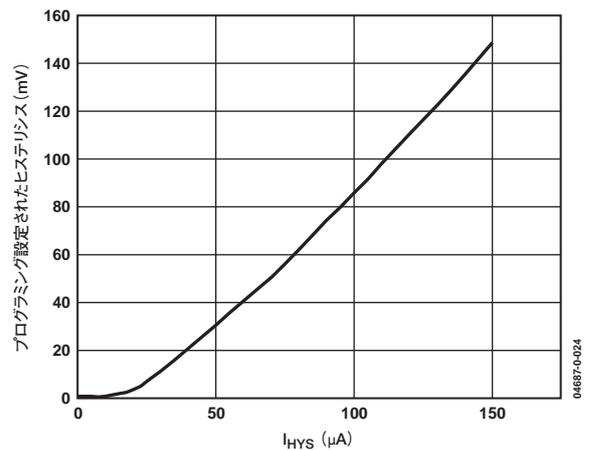


図17. I_{HYS}対コンパレータ・ヒステリシス

ADCMP561/ADCMP562

タイミング図

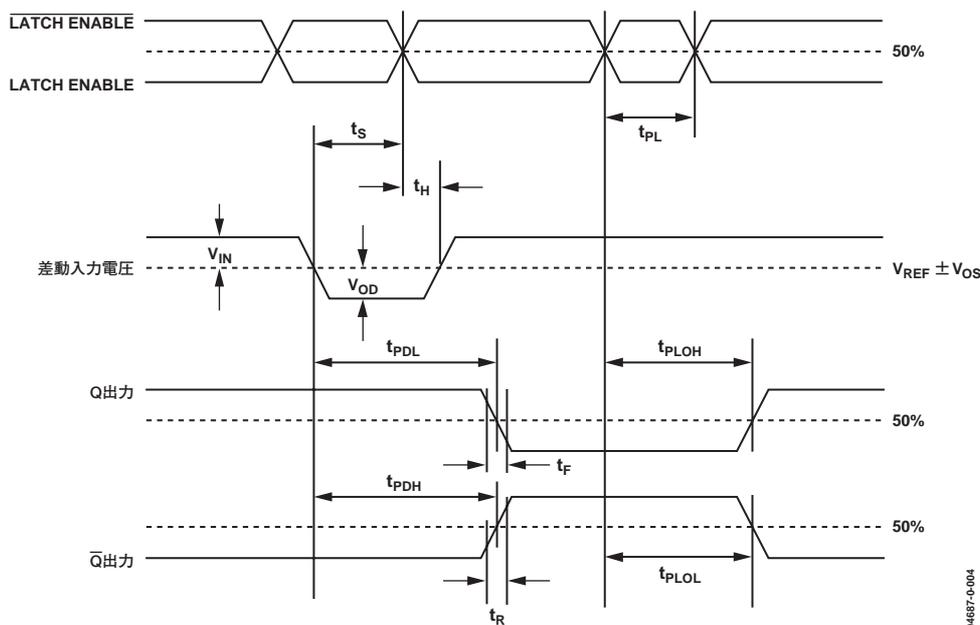


図18. システム・タイミング図

図18はADCMP561/ADCMP562の比較およびラッチ機能を示します。表4には、図18のタイミング条件をまとめています。

表4. タイミングの説明

記号	タイミン	説明
t_{PDH}	入力から出力ハイまでの遅延	入力信号が基準レベル（±入力オフセット電圧）をクロスした時点から、出力の50%ポイントがローからハイに遷移するまでを測定した伝播遅延です。
t_{PDL}	入力から出力ローまでの遅延	入力信号が基準レベル（±入力オフセット電圧）をクロスした時点から、出力の50%ポイントがハイからローに遷移するまでを測定した伝播遅延です。
t_{PLOH}	ラッチ・イネーブルから出力ハイまでの遅延	ラッチ・イネーブル信号の50%ポイントがローからハイに遷移した時点から、出力の50%ポイントがローからハイに遷移するまでを測定した伝播遅延です。
t_{PLOL}	ラッチ・イネーブルから出力ローまでの遅延	ラッチ・イネーブル信号の50%ポイントがローからハイに遷移した時点から、出力の50%ポイントがハイからローに遷移するまでを測定した伝播遅延です。
t_H	最小ホールド時間	ラッチ・イネーブル信号がロー・レベルに遷移した後で、収集する入力信号が変化することのないように維持し、これを出力で保持しなければならない最小時間です。
t_{PL}	最小ラッチ・イネーブル・パルス幅	入力信号の変化を取り込むために、ラッチ・イネーブル信号をハイ・レベルに保持しなければならない最小時間です。
t_s	最小セットアップ時間	ラッチ・イネーブル信号がロー・レベルに遷移する前に、収集する入力信号が変化し、これを出力で保持しなければならない最小時間です。
t_r	出力立上がり時間	20%および80%ポイントで測定するときに、出力がローからハイに遷移するまでの所要時間です。
t_f	出力立下がり時間	20%および80%ポイントで測定するときに、出力がハイからローに遷移するまでの所要時間です。
V_{OD}	電圧オーバードライブ	差動入力とリファレンス入力電圧の電圧差です。

アプリケーション情報

ADCMP561/ADCMP562コンパレータは、非常に高速のデバイスです。したがって、最良の性能を達成するには、高速設計技法を採用する必要があります。ADCMP561/ADCMP562を使用する設計で最も重要な留意点は、ロー・インピーダンスのグラウンド・プレーンを使用することです。適切な高速性能を確保するために、多層基板の一部としてグラウンド・プレーンの採用を推奨します。回路基板の表面全体に連続的な導電性のプレーンを用いることによって、グラウンド・プレーンが形成され、必要な信号経路のみのためにプレーンを分割することが可能になります。グラウンド・プレーンによってインダクタンスの低いグラウンドが維持されるので、回路基板全体の異なるグラウンド・ポイントにグラウンドのバウンスに起因する電位差が生じることがなくなります。適切なグラウンド・プレーンを採用することで、回路基板上の浮遊容量の影響も最小限に抑えられます。

高速アプリケーションでは、コンデンサで電源をバイパスすることも重要です。1 μ Fの電解型バイパス・コンデンサを各電源ピンとグラウンド間に、0.5インチ以内に接続します。これらのコンデンサは、電源から発生する可能性のある電圧リップルをすべて低減します。これに加えて、10nFのセラミック・コンデンサをADCMP561/ADCMP562の各電源ピンとグラウンド間に、可能な限り近接させて接続してください。これらのコンデンサは、高周波数スイッチング動作時にデバイスへの電荷供給源として機能します。

LATCH ENABLE入力は、アクティブ・ロー（ラッチ状態）です。ラッチ機能を使用しない場合は、LATCH ENABLE入力をオープンの状態にしておくか、V_{DD}に接続してください（V_{DD}はPECLロジック・ハイです）。コンプリメンタリ入力のLATCH ENABLEは、オープンの状態にしておくか、またはV_{DD}-2.0Vに接続してください。ラッチ入力を無接続に維持するか、適切な電圧を供給すると、ラッチ機能がディスエーブルになります。

場合によっては、ADCMP561/ADCMP562内部の2つのコンパレータのうち1つは使用しません。使用しないコンパレータの入力をフローティング状態にすることはできません。出力を強制的に一定の状態にしない限り、高い内部ゲインが原因で出力が発振する可能性があります（使用している方のコンパレータに影響することがあります）。2つの入力少なくとも1ダイオード降下分は離れていて、同時に上述のようにLATCH ENABLE入力とLATCH ENABLE入力を適切に接続していれば、出力を容易に固定の状態に設定できます。

PECLの正しい終端方法を適用すると、最良の性能が得られます。ADCMP561/ADCMP562のオープン・エミッタ出力は、50 Ω の抵抗を通してV_{DD}-2.0Vに終端するか、ほかの等価なPECL終端を行うように設計されています。1cm以上にわたって高速PECL信号を走らせる必要がある場合は、正しい伝送時間を確保し、出力のリングングを防止するために、マイクロストリップまたはストリップライン技法を採用する必要があります。

クロック・タイミング・リカバリ

コンパレータをデジタル・システムで使用して、クロックのタイミング信号を復元させる場合があります。数10cmにも及ぶ距離を送信される高速の方形波信号は、浮遊容量とインダクタンスによって歪みが生じる可能性があります。不適切なレイアウトや誤った終端方法によっても伝送ライン上に反射が発生し、さらに信号波形が歪む結果になります。高速コンパレータを使用すると、歪んだ信号波形を復元し、同時に遅延時間を最小限に抑えることができます。

高速性能の最適化

他の高速コンパレータ・アンプと同様に、ADCMP561/ADCMP562から最適な性能を確実に引き出すには、正しい設計とレイアウト技術を採用する必要があります。浮遊容量、不適切なグラウンド・インピーダンス、その他のレイアウト上の問題があると、高速回路の性能は容易に制限されてしまいます。

ADCMP561/ADCMP562の高速動作を最大限に発揮するには、信号源と入力間の抵抗値を最小化することが重要です。信号源抵抗値が等価入力容量と組み合わせると、入力の応答性が遅くなり、そのため出力遅延が発生することがあります。ADCMP561/ADCMP562の入力容量は、入力ピンとグラウンド間の浮遊容量と一緒にになると、数pFの等価容量になる場合があります。3k Ω の信号源抵抗値と5pFの入力容量を結合すると、15nsの時定数になり、ADCMP561/ADCMP562の750psという能力よりも大幅に低くなります。最適な性能を得るには、信号源インピーダンスを100 Ω よりも大幅に低く設定してください。

浮遊容量とインダクタンスが高くなるので、ソケットは使用しないでください。正しい高速技術を採用すれば、コンパレータの入力信号がスイッチング・スレッシュホールドを通過するときに、ADCMP561/ADCMP562はまったく発振しません。

コンパレータの伝播遅延分散（ディスパージョン）

ADCMP561/ADCMP562は、100mV~1.5Vの入力オーバードライブ電圧範囲で伝播遅延分散を減らすように特別に設計されています。伝播遅延オーバードライブ分散とは、オーバードライブ電圧の変化（入力がどの程度スイッチング・ポイントを越えているか）に伴って生じる伝播遅延の変化を意味します。ADCMP561/ADCMP562は他の大部分のコンパレータ製品よりも入力変動によって受ける影響が非常に低く抑えられているので、タイミング精度が非常に高く維持されます。

ADCMP561/ADCMP562

伝播遅延分散は、ATEや計測器、原子力計装などの高精度タイミングが要求されるアプリケーションで重要な仕様です。オーバードライブ分散は、入力オーバードライブ条件が変化するときの伝播遅延の変動として定義されます（図19）。ADCMP561とADCMP562のオーバードライブ分散の代表値は、オーバードライブ電圧が100mVから1.5Vに変化する条件下で75psです。ADCMP561/ADCMP562では、正方向と負方向の入力の遅延時間が等しいので、この仕様は正と負の両方のオーバードライブに適用できます。

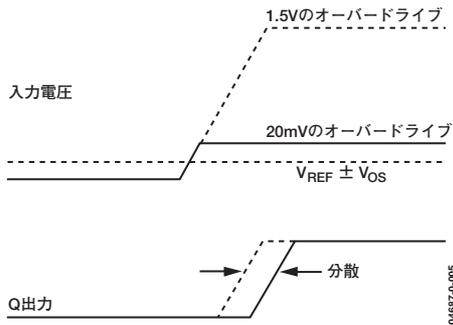


図19. 伝播遅延分散

コンパレータのヒステリシス

コンパレータにヒステリシスを追加すると、ノイズが多い環境、または入力信号がスイッチング・スレッシュホールドをクロスするときにトグルすることが適当でない場合に、役立ちます。ヒステリシス付きのコンパレータの伝達関数を図20に示します。入力電圧が負の方向からスレッシュホールドに近づく場合、入力が $+V_H/2$ に達するときに、コンパレータは0から1にスイッチします。新しいスイッチング・スレッシュホールドは $-V_H/2$ になります。入力電圧が正の方向から $-V_H/2$ のスレッシュホールドに達するまで、コンパレータは1の状態を維持します。この方法では、入力電圧が $\pm V_H/2$ の境界領域を超えない限り、0Vの入力を中心とするノイズが原因でコンパレータがその状態を変化させることはありません。

出力から入力への正のフィードバックを使用して、コンパレータでヒステリシスを発生させる場合があります。この方法の大きな問題点は、ヒステリシス量が出力ロジック・レベルの変化に応じて変動し、そのためにヒステリシスがゼロを中心とする対称性を維持できないことです。

ADCMP562では、プログラマブル・ヒステリシス・ピンによってヒステリシスを設定します（図24）。HYSピンとGND間に接続される抵抗によって、デバイスに流れる電流を発生し、この電流でヒステリシスを生成します。この方法で生成されたヒステリシスは出力振幅と無関係で、トリップ・ポイントを中心に対称になります。抵抗値対ヒステリシスの特性曲線を図21に示します。

電流ソースをHYSピンと併せて使用することも可能です。HYSピンに加えられる電流と、その結果生成されるヒステリシスとの関係を図17に示しています。

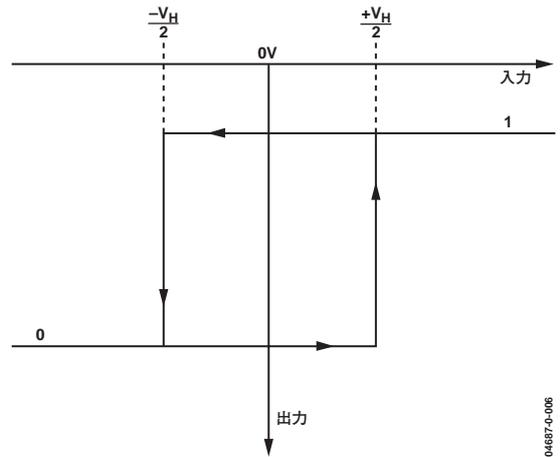


図20. コンパレータのヒステリシス伝達関数

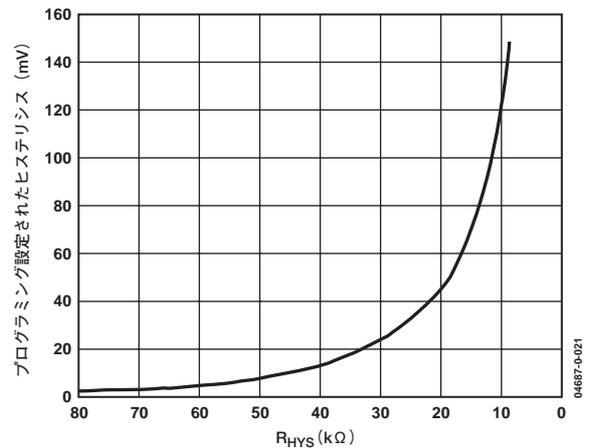
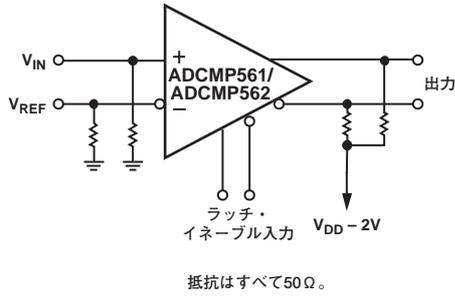


図21. R_{HYS} 対コンパレータのヒステリシス

最小入力スルーレート条件

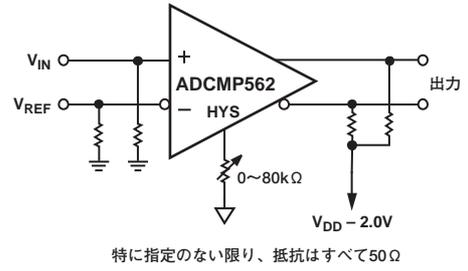
高速コンパレータはすべて、入力がスレッシュホールドに達するときにデバイスが発振を起こさないことを確実にするために、最小スルーレートを満足する必要があります。この発振は、コンパレータの高い入力帯域幅とパッケージの寄生容量が一因で発生します。クリーンな出力遷移を保証するために、アナログ・デバイスは $1V/\mu s$ またはこれよりも高速のスルーレートを推奨しています。 $1V/\mu s$ 以下のスルーレートを想定する場合は、ヒステリシスを追加して発振を抑えてください。

代表的なアプリケーション回路



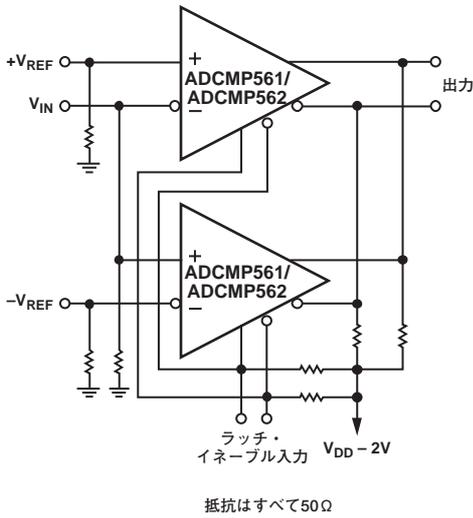
04687-0-008

図22. 高速サンプリング回路



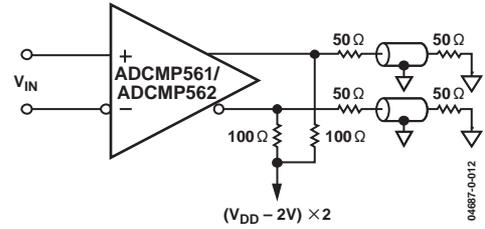
04687-0-010

図24. HYS制御ピンを使用したヒステリシスの追加



04687-0-008

図23. 高速ウィンドウ・コンパレータ

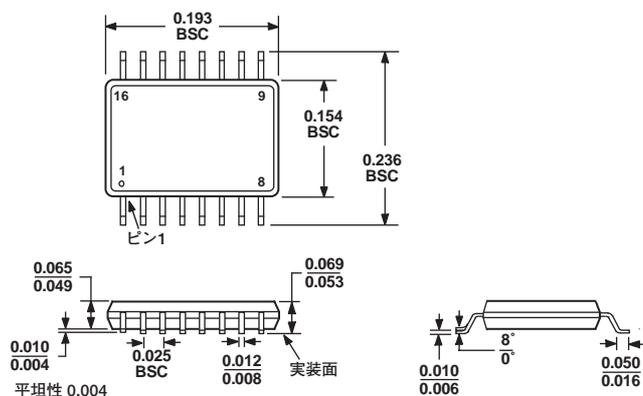


04687-0-012

図25. 50Ω計測器のPECL出力をグラウンド入力にインターフェースする方法

ADCMP561/ADCMP562

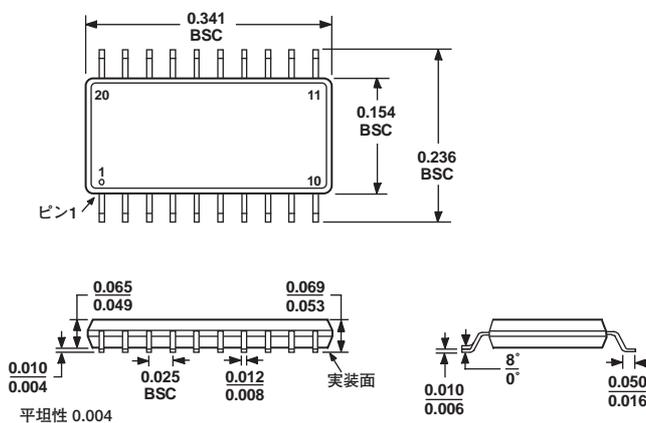
外形寸法



JEDEC規格MO-137ABに適合しています。

図26. 16ピン・シュリンクSOP〔QSOP〕
(RQ-16)

寸法単位：インチ



JEDEC規格MO-137ADに適合しています。

図27. 20ピン・シュリンクSOP〔QSOP〕
(RQ-20)

寸法単位：インチ

オーダー・ガイド

モデル	温度範囲	パッケージ	パッケージ・オプション
ADCMP561BRQ	-40 ~ +85°C	16ピンQSOP	RQ-16
ADCMP562BRQ	-40 ~ +85°C	20ピンQSOP	RQ-20

NOTES

